

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-032365

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H04N 5/455

H04N 5/44

H04N 7/20

(21)Application number : 10-198484

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.07.1998

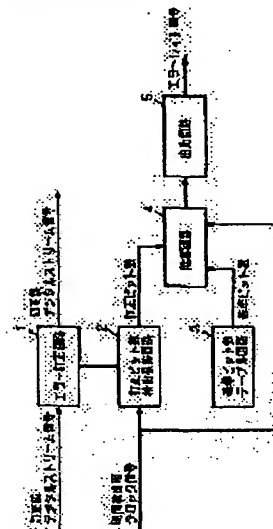
(72)Inventor : SAWAMURA HIROYUKI
KAWASHIMA ICHIRO
YAMADA YUTAKA

(54) ERROR RATE DETECTING CIRCUIT AND RECEPTION TERMINAL EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To detect and measure the bit error of a transmission error caused by a transmission line during the operation of digital broadcasting and digital data transmission.

SOLUTION: This equipment is provided with an error correcting circuit 1 for performing the error correction of a digital stream signal, corrected bit number detecting and holding circuit 2 for detecting and holding the number of corrected bits, reference bit number table circuit 3 for holding the reference number of bits to be calculated at every unit time, division circuit 4 for dividing the number of corrected bits with the reference number of bits, and output circuit 5 for outputting the divided result of the division circuit 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-32365
(P2000-32365A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.	識別記号	FI	キーワード (参考)
H04N 5/455		H04N 5/455	5C025
5/44		5/44	Z 5C064
7/20		7/20	

審査請求 未請求 請求項の数4 OL (全6頁)

(21) 出願番号 特願平10-198484

(22) 出願日 平成10年7月14日 (1998.7.14)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 澤村 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 川島 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100078204

弁理士 滝本 智之 (外1名)

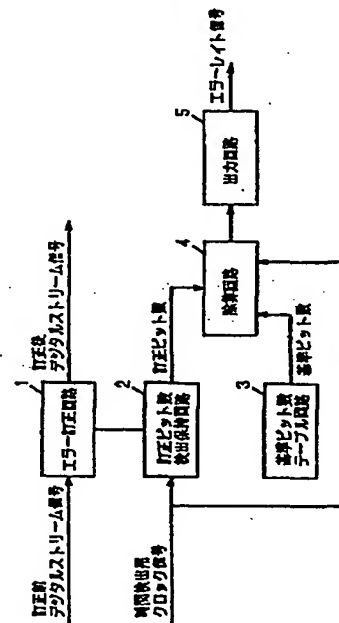
最終頁に続く

(54) 【発明の名称】 エラーレート検出回路と受信端末装置

(57) 【要約】

【課題】 デジタル放送、デジタルデータ伝送の運用中、伝送路により生じる伝送エラーのビットエラーを検出し、測定する。

【解決手段】 デジタルストリーム信号をエラー訂正するエラー訂正回路1と、訂正ビット数を検出し保持する訂正ビット数検出保持回路2と、単位時間に算出される基準ビット数を保持しておく基準ビット数テーブル回路3と、前記訂正ビット数を基準ビット数で除算する除算回路4と、除算回路4での除算結果を出力する出力回路5とを備えた構成。



【特許請求の範囲】

【請求項 1】 デジタルストリーム信号をエラー訂正するエラー訂正回路と、エラー訂正後の訂正ビット数を検出し、訂正ビット数を加算し保持する訂正ビット数検出保持回路と、伝送ビットレートから単位時間に算出される基準ビット数を保持しておく基準ビット数テーブル回路と、前記訂正ビット数検出保持回路で検出された訂正ビット数を基準ビット数で除算する除算回路と、除算結果を出力する出力回路とを有することを特徴とするエラーレート検出回路。

【請求項 2】 デジタルストリーム信号をエラー訂正するエラー訂正回路と、エラー訂正後の訂正ビット数を検出し、訂正ビット数を加算し保持する訂正ビット数検出保持回路を有し、伝送ビットレートから単位時間に算出される基準ビット数と訂正ビット数を基準ビット数で除算するソフトウェアを保持するマイクロコントローラを有し、前記ソフトウェアにて除算することを特徴とするエラーレート検出回路。

【請求項 3】 デジタルストリーム信号をデジタル変調した RF 信号を選局し、IF 信号に変換し出力する選局チューナと、IF 信号をデジタルストリーム信号に復調するデジタル復調回路と、エラー訂正されたデジタルストリーム信号をデジタルデータ信号に変換するデジタルデータ変換回路（以下 AV データ変換回路と呼ぶ）と、請求項 1 記載のエラーレート検出回路と、エラーレイトを表示する表示回路と、前記選局チューナ、デジタル復調回路、AV データ変換回路、表示回路、エラーレート検出回路をそれぞれ制御する制御回路とを具備したことを特徴とする受信端末装置。

【請求項 4】 デジタルストリーム信号をデジタル変調した RF 信号を選局し、IF 信号に変換し出力する選局チューナと、IF 信号をデジタルストリーム信号に復調するデジタル復調回路と、エラー訂正されたデジタルストリーム信号をデジタルデータ信号に変換する AV データ変換回路と、請求項 2 記載のエラーレート検出回路と、エラーレイトを表示する表示回路と、前記選局チューナ、デジタル復調回路、AV データ変換回路、表示回路、エラーレート検出回路を請求項 2 記載のソフトウェアでそれぞれ制御するマイコン制御回路とを具備したことを特徴とする受信端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル映像信号、デジタル音声信号及びパソコン等へデジタルデータ信号を伝送するエラーレート検出回路と受信端末装置に関する。

【0002】

【従来の技術】 衛星放送、CATV、地上波において、デジタル放送、デジタルデータ伝送が開始もしくは開始されようとしている。これらデジタル放送、デジタルデ

ータ伝送における運用において、衛星放送、地上波放送等の無線伝送では天候等の原因により、CATVの有線伝送では幹線増幅器の多段接続等の原因により、伝送路上で C/N の劣化が生じる。デジタル信号伝送時の C/N の劣化はアナログ信号伝送時の様に復調されたアナログ信号の S/N 劣化としてではなく、伝送信号そのものの誤り（エラー）が生じ、結果としてビット誤り（エラー）が生じる。そのため、映像信号、音声信号、パソコン等へのデータに正しく変換できないため復調そのものが不可能となる。そこで、伝送路上において生じたビットエラーを訂正する方式が種々開発されており、伝送特性にあったエラー訂正方式が用いられている。通常の運用中には受信端末装置の有するエラー訂正回路によりエラー訂正を施し、映像信号、音声信号、パソコン等へのデータとして変換され、TV またはパソコン上で再現する。従来は、例えば、特開平 9-65316 号公報に記載されているように、エラーを検出し訂正する回路のみを保持するものであった。

【0003】

【発明が解決しようとする課題】 デジタル放送、およびデジタルデータ伝送は伝送路による C/N 劣化により伝送エラーのためのビットエラーを起こす。これにより映像不良、音声不良、データ不良が生じるため運用中では受信端末装置のエラー訂正回路により常にエラー訂正施して映像、音声、データに正しく変換していた。エラー訂正の特性上、特定のビット数以下のエラーであれば完全に訂正できるが、特定ビット数以上がエラーになるとエラー訂正ができなくなる。また、エラー訂正回路のエラー訂正中（通常は常時）においては前記のように、特定ビット数を境に完全にエラー訂正できたか、できないかの検出しか具備していなかったため、伝送路での C/N 劣化によるビットエラーがどの程度生じているかを把握することができなかった。

【0004】 本発明は運用中の伝送エラーを検出するためのエラーレート検出回路を提供し、エラー訂正中においてもビットエラーの状態を観測できるようにするものである。

【0005】

【課題を解決するための手段】 本発明のエラーレート検出回路は、デジタルストリーム信号のエラー訂正をするエラー訂正回路と、エラー訂正後の訂正ビット数を検出し、訂正ビット数を加算して保持する訂正ビット数検出保持回路と、伝送ビットレートから単位時間に算出した基準ビット数を保持しておく基準ビット数テーブル回路と、訂正ビット数を基準ビット数で除算する除算回路と、除算結果を出力する出力回路とを備えた構成とした。

【0006】 上記構成により常にエラー訂正を施している運用中に発生する伝送エラーによるビットエラーを測定し、伝送路の状態を把握することができる。

【0007】

【発明の実施の形態】以下、本発明の請求項1及び請求項2に記載されたエラーレイト検出回路について図1、図2、図5を用いて説明する。図1、図2は本発明の一実施例におけるエラーレイト検出回路のブロック構成図を示す。図5はデジタルストリーム信号を利用した処理動作の説明図を示す。

【0008】図1、図2において、符号1はエラー訂正回路、2は訂正ビット数検出保持回路、3は基準ビット数テーブル回路、4は除算回路、5は出力回路、6は伝送ビットレートから単位時間に算出される基準ビット数のデータ、及び除算するためのソフトウェアを具備したマイクロコントローラである。以上の回路構成から以下に動作を説明する。

【0009】ベースバンドに復調されたデジタルストリーム信号は伝送路において、図5に示す符号15の様に、各フレームで発生している伝送エラーによるビットエラーを $n1$ 、 $n2$ 、 $n3$ の形で任意に含んでおり、この状態でエラー訂正回路1に入力される。エラー訂正回路1では上記 $n1$ 、 $n2$ 、 $n3$ のエラーを訂正し、訂正したビット数を逐次訂正ビット数検出保持回路2に渡す。訂正ビット数検出保持回路2は任意の単位時間を規定させるための16の時間検出用クロックTの期間に当たる誤りビット数を加算($n1+n2$)し保持する。

【0010】基準ビット数テーブル回路3は伝送ビットレートから事前に算出された任意の単位時間T当たりに受信するビット数 nT を基準ビット数として保持している。前記、訂正ビット数検出保持回路2に保持された訂正ビット総数($n1+n2$)と基準ビット数テーブル回路3に保持されている基準ビット数 nT は時間検出用クロックを基準に除算回路4に入力され、符号19の式に示すように、訂正ビット総数($n1+n2$)は基準ビット数 nT で除算される。

【0011】除算された結果は出力回路5を通してエラーレイトを表すエラーレイト信号として出力される。エラー訂正回路1に入力されたデジタルストリーム信号はエラー訂正されて出力され、映像、音声、データとして交換される信号となり出力される。

【0012】また、図2におけるマイクロコントローラ6では前記、基準ビット数テーブル回路3に保持している任意の単位時間当たりの基準ビット数 nT と除算回路4で行う除算計算(19の式)をソフトウェアとして保持し、訂正ビット数検出保持回路2で検出した訂正ビット総数($n1+n2$)をマイクロコントローラ6が保持していた基準ビット数 nT によりソフトウェアで除算し結果をエラーレイト信号として出力するものである。

【0013】次に請求項3及び請求項4に記載された受信端末装置について図3、図4を用いて説明する。

【0014】図3は本発明の一実施例における受信端末装置のブロック構成図である。符号7は選局チューナ、

8はデジタル復調回路、9は前記、請求項1に記載されたエラーレイト検出回路、10はAVデータ変換回路、11は表示回路、12は前記、各回路を制御する制御回路、13は請求項2に記載されたエラーレイト検出回路、14は前記、請求項2に記載されたソフトウェアを保持したマイクロコントローラを含み、前記各回路を制御するマイコン制御回路である。

【0015】以上の回路構成から以下に動作を説明する。デジタル変調(QPSK、QAM等)されたRF信号は選局チューナ7で選局されIF信号に変換される。前記選局チューナ7から出力されたIF信号はデジタル復調回路8に入力されアナログデジタル変換し、デジタル復調されてデジタルストリーム信号に復調される。デジタル復調回路8によって復調されたデジタルストリーム信号はエラー検出回路9に入力され、エラー検出回路に含まれたエラー訂正により伝送路上で生じたビットエラーを訂正し、パラレル信号へ変換し出力される。

【0016】AVデータ変換回路10では前記、エラーレイト検出回路9から出力されたパラレル信号を、映像信号、音声信号、パソコン等へのデジタルデータ信号に変換し出力する。一方、前記エラーレイト検出回路9では伝送エラーの状態を知らせるエラーレイト信号を生成し出力する。表示回路11では入力されたエラーレイト信号を元にエラーレイトを表示するための信号に変換し出力する。

【0017】図4における受信端末装置では、エラーレイト検出回路13から出力された訂正ビット数はマイコン制御回路14に入力され、マイコン制御回路14で保持されていた基準ビット数にてソフトウェアにより除算され、その結果をエラーレイト信号として出力する。出力されたエラーレイト信号は前記、図3の実施例と同様に表示回路11によりエラーレイトを表示するための信号に変換され出力される。

【0018】

【発明の効果】以上のように、本発明によればデジタル放送、デジタルデータ伝送を提供しているシステムにおける受信端末装置において、常にエラー訂正を施している運用中に発生する伝送エラーによるビットエラーを測定し、伝送路の状態を把握することができる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるエラーレイト検出回路のブロック構成図

【図2】本発明の一実施例におけるエラーレイト検出回路のブロック構成図

【図3】本発明の一実施例における受信端末装置のブロック構成図

【図4】本発明の一実施例における受信端末装置のブロック構成図

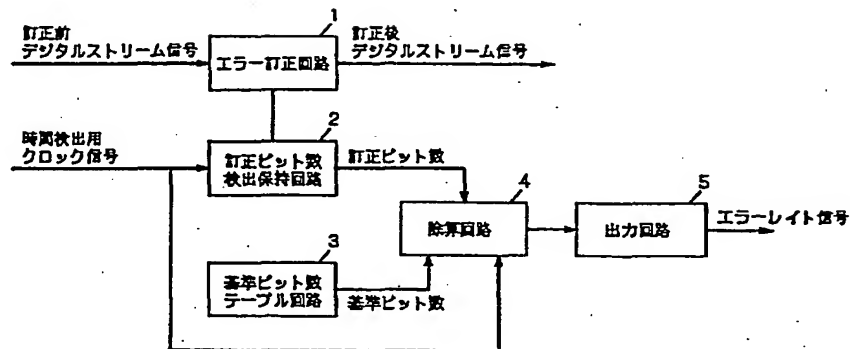
【図5】図1、図2における処理動作図

【符号の説明】

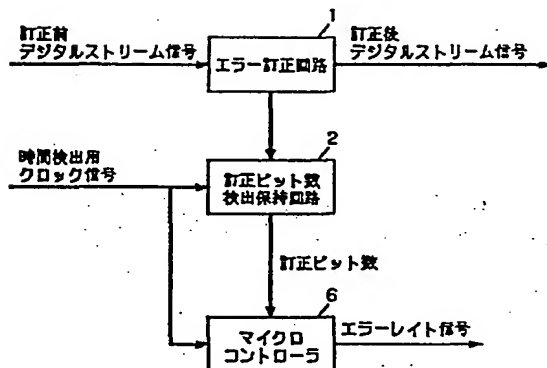
- 1 エラー訂正回路
- 2 訂正ビット数検出保持回路
- 3 基準ビット数テーブル回路
- 4 除算回路
- 5 出力回路
- 6 マイクロコントローラ
- 7 選局チューナ
- 8 デジタル復調回路
- 9、13 エラーレート検出回路

- * 10 AVデータ変換回路
- 11 表示回路
- 12 制御回路
- 14 マイコン制御回路
- 15 デジタルストリーミング信号
- 16 時間検出用クロック
- 17 単位時間当たりの訂正ビット総数
- 18 単位時間当たりの基準ビット数
- * 19 除算式

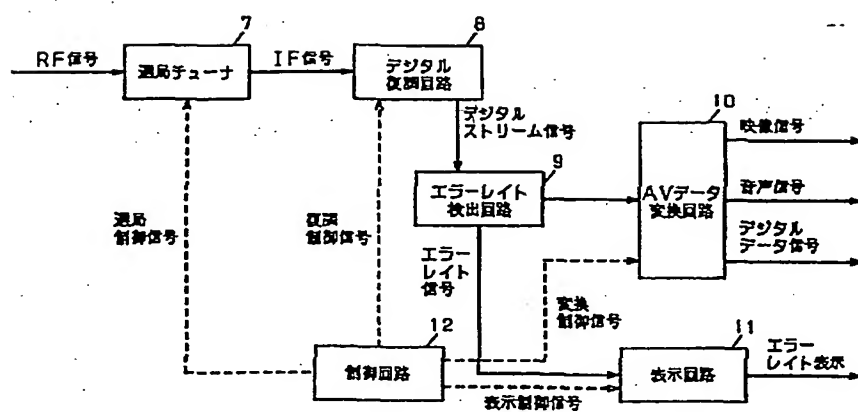
【図1】



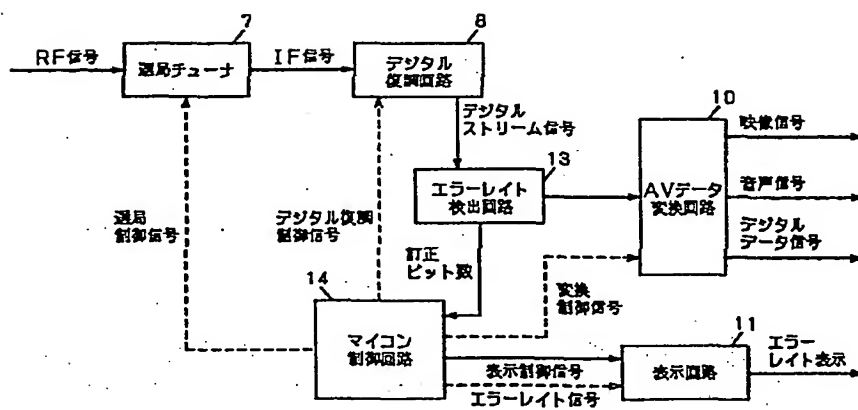
【図2】



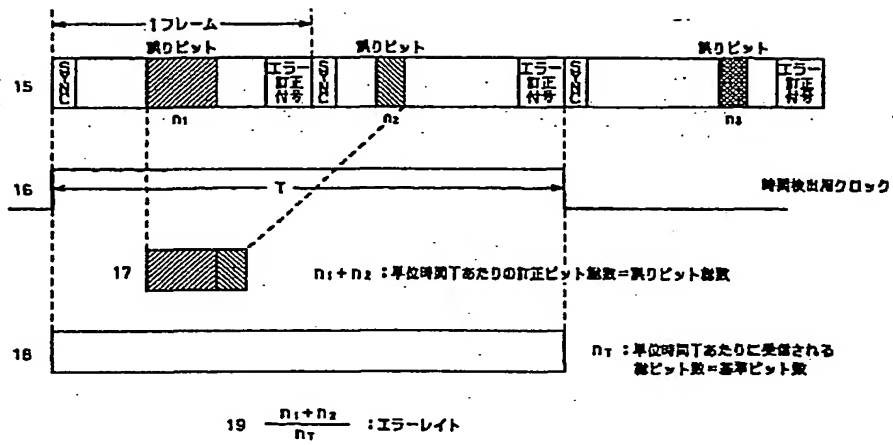
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 山田 裕
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5C025 AA11 AA25 BA11 BA27 DA01
DA04
5C064 DA02